

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

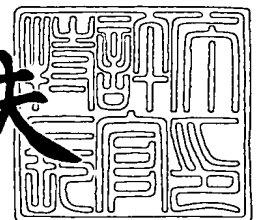
出 願 番 号 特 願 2 0 0 3 - 0 9 5 3 8 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 5 3 8 4]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

2 0 0 4 年 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 PR2-00295

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/33

【発明者】

 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

 【氏名】 高石 昌

【特許出願人】

 【識別番号】 000116024

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地

 【氏名又は名称】 ローム株式会社

【代理人】

 【識別番号】 100087701

 【弁理士】

 【氏名又は名称】 稲岡 耕作

【選任した代理人】

 【識別番号】 100101328

 【弁理士】

 【氏名又は名称】 川崎 実夫

【手数料の表示】

 【予納台帳番号】 011028

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9401527

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板上に、第 1 導電型のドレイン領域、上記第 1 導電型とは異なる第 2 導電型のチャンネル領域、および上記第 1 導電型のソース領域を、上記半導体基板側から順に積層された状態に形成する工程と、

上記ソース領域を貫通してチャンネル領域に至るコンタクトホールを形成する工程と、

上記コンタクトホールの内部に、上記第 2 導電型への制御のための不純物を含むした拡散源層を形成する拡散源層形成工程と、

この拡散源層形成工程の後、上記半導体基板を第 1 の温度に加熱して、上記拡散源層から上記チャンネル領域へ上記第 2 導電型への制御のための不純物を拡散させて、上記チャンネル領域より導電率が高い低抵抗領域を形成する第 1 加熱工程と、

上記ソース領域に接続されたソース取り出し電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

上記拡散源層形成工程が、上記第 2 導電型への制御のための不純物がドーピングされたポリシリコン膜を上記コンタクトホール内に形成する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】

上記ソース取り出し電極を形成する工程が、上記第 1 加熱工程の後、上記コンタクトホール内に上記ポリシリコン膜が存在する状態で、上記半導体基板の表面に、アルミニウムを含む薄膜を形成する工程と、

このアルミニウムを含む薄膜が形成された半導体基板を、アルミニウムに対するシリコンの拡散が生じる第 2 の温度に加熱する第 2 加熱工程とを含むことを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

半導体基板上に順に積層された第 1 導電型のドレイン領域、上記第 1 導電型とは異なる第 2 導電型のチャネル領域、および上記第 1 導電型のソース領域を含み、上記半導体基板の厚さ方向に沿ってチャネルが形成されるように構成された複数のセルと、

上記複数のセルの隣接部に形成されたコンタクトホール内に露出し、上記チャネル領域に接するように形成された上記第 2 導電型の低抵抗領域と、

上記ソース領域に接し、上記複数のセルにより共有されるソース取り出し電極とを含み、

上記ドレイン領域は、上記複数のセルにより共有されており、

上記セルのサイズが $2\ \mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項 5】

上記低抵抗領域と上記ソース領域とが接していることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】

上記低抵抗領域と上記ドレイン領域とが接していることを特徴とする請求項 4 または 5 記載の半導体装置。

【請求項 7】

上記低抵抗領域と上記ソース取り出し電極とが接していることを特徴とする請求項 4 ないし 6 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、MOS FET などの半導体装置およびその製造方法に関し、特に、超微細化が可能な半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

MOS FET には、ドレイン領域、チャネル領域、およびソース領域を含むセルが半導体基板上に多数形成されて、ディスクリット部品を構成しているものがある。近年、MOS FET において、ドレイン領域、チャネル領域、および

ソース領域を縦方向、すなわち、半導体基板に垂直な方向に配列することによりセルの微細化を図ったものがある（たとえば、下記特許文献 1 および特許文献 2 参照）。このような微細なセルを接近させて配置することにより、単位面積あたりのチャンネル形成領域（ドレイン電流が流れる領域）を広くすることができるので、オン抵抗の低減を図ることができる。

【0 0 0 3】

一方、MOS FET を含む回路において、MOS FET をオン状態からオフ状態にすると、回路のインダクタンス成分からの逆起電力が、MOS FET に印加され、チャンネル領域に電流が流れる。これによりチャンネル領域が発熱し、素子が破壊（アバランシェ破壊）することがあった。これは、ドレイン領域をコレクタとし、チャンネル領域をベースとし、ソース領域をエミッタとする寄生トランジスタにおいて、チャンネル領域が有するベース抵抗が大きいことにより、この寄生トランジスタが容易にオン状態となり、チャンネル領域に大電流が流れることによる。

【0 0 0 4】

これを防ぐために、MOS FET には、ソース領域に電気接続されたソース取り出し電極とチャンネル領域との間に、チャンネル領域より導電率が高い領域（低抵抗領域）が形成されており、ベース抵抗の低減が図られている。この場合、MOS FET に逆起電力が印加された場合、寄生トランジスタが容易にはオン状態にならず、素子はアバランシェ破壊から保護される。

このような低抵抗領域は、所定のパターンの開口を有するマスクを用いて、このマスクの開口を介して半導体基板のセルとセルとの隣接部に不純物をイオン注入することにより形成されていた。

【0 0 0 5】

【特許文献 1】

米国特許第 4767722 号明細書

【特許文献 2】

米国特許第 5034785 号明細書

【0 0 0 6】

【発明が解決しようとする課題】

ところが、さらなるセルの微細化（超微細化）を図ろうとすると、セルとセルとの間隔がさらに小さくなるので、低抵抗領域を形成するために不純物をイオン注入する領域も狭くなる。これに伴って、不純物をイオン注入するためのマスクの開口も微細なものが要求される。ところが、このような小さな開口を介したイオン注入により、半導体基板に不純物を深く拡散させることはできず、ベース抵抗を充分低減できる低抵抗領域を形成できなかった。

【0007】

たとえば、従来の製造方法では、ベース抵抗を充分低減できる低抵抗領域を備え、セルサイズが $1.35\mu\text{m}$ のMOSFETを製造することができなかった。すなわち、オン抵抗が低く、かつ、逆起電力に対する破壊耐量が多いMOSFETを製造できなかった。

そこで、この発明の目的は、オン抵抗が小さく、逆起電力に対する破壊耐量が多い半導体装置の製造方法を提供することである。

【0008】

この発明の他の目的は、オン抵抗が小さく、逆起電力に対する破壊耐量が多い半導体装置を提供することである。

【0009】**【課題を解決するための手段および発明の効果】**

上記の課題を解決するための請求項1記載の発明は、半導体基板（1）上に、第1導電型のドレイン領域（2）、上記第1導電型とは異なる第2導電型のチャネル領域（5）、および上記第1導電型のソース領域（6）を、上記半導体基板側から順に積層された状態に形成する工程と、上記ソース領域を貫通してチャネル領域に至るコンタクトホール（4）を形成する工程と、上記コンタクトホールの内部に、上記第2導電型への制御のための不純物を含有した拡散源層（15）を形成する拡散源層形成工程と、この拡散源層形成工程の後、上記半導体基板を第1の温度に加熱して、上記拡散源層から上記チャネル領域へ上記第2導電型への制御のための不純物を拡散させて、上記チャネル領域より導電率が高い低抵抗領域（10）を形成する第1加熱工程と、上記ソース領域に接続されたソース

取り出し電極（11）を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0010】

なお、括弧内の英数字は後述の実施形態における対応構成要素等を示す。以下、この項において同じ。

この発明によれば、ドレイン領域、チャネル領域、およびソース領域が縦方向、すなわち、半導体基板に垂直な方向に沿って配列された半導体装置を製造できる。このような半導体装置は、超微細化（たとえば、セルサイズが $1.35\mu\text{m}$ ）を図ることができ、単位面積あたりのチャネル形成領域（ドレイン電流が流れる領域）を広くすることができる。すなわち、この製造方法により、オン抵抗が低い半導体装置を製造できる。

【0011】

また、この発明によれば、第1加熱工程により、コンタクトホール内を含む領域に形成された拡散源層から、チャネル領域に第2導電型への制御のための不純物が拡散されて低抵抗領域が形成される。したがって、コンタクトホール内に露出しチャネル領域に接した低抵抗領域が得られる。

ドレイン領域、チャネル領域および低抵抗領域、ならびにソース領域の導電型は、それぞれ、第1導電型、第2導電型、および第1導電型であるので、寄生トランジスタを構成する。この半導体装置を含む回路に逆起電力が印加された場合、ドレイン領域がコレクタとなり、チャネル領域および低抵抗領域がベースとなり、ソース領域がエミッタとなる。

【0012】

この寄生トランジスタにおいて、低抵抗領域の導電率がチャネル領域の導電率より大きいことにより、ベース抵抗は低減されている。したがって、この寄生トランジスタは、ソース取り出し電極とドレイン領域との間に逆起電力が与えられた場合でも、容易にはオン状態とならず、チャネル領域に大電流が流れ難いので、アバランシェ破壊から保護される。すなわち、この製造方法により得られる半導体装置は、逆起電力に対する破壊耐量が大きい。

【0013】

低抵抗領域は、半導体基板に不純物をイオン注入して形成されるのではなく、コンタクトホール内を含む領域に形成された拡散源層からチャネル領域へ、第2導電型への制御のための不純物を熱拡散させて形成される。拡散源層は、たとえば、CVD (Chemical Vapor Deposition)法を用いることにより、幅や径が小さなコンタクトホール内にも形成できる。したがって、この製造方法により、セルの超微細化が図られた場合であっても、ベース抵抗を充分低減できる低抵抗領域を形成できる。すなわち、オン抵抗が低い半導体装置であって、逆起電力に対する破壊耐量が大い半導体装置を製造できる。

【0014】

半導体基板は、たとえば、シリコン基板であってもよく、表面にエピタキシャル層が形成されたものであってもよい。ここで、コンタクトホールは、ホール（穴）状のものであってもよく、溝（トレンチ）状のものであってもよい。第2導電型への制御のための不純物は、たとえば、第2導電型がP型の場合は、ボロン（B）とすることができる。

第1加熱工程は、拡散源層がコンタクトホール内部を含むより広い領域に形成された状態で実施されてもよく、拡散源層がコンタクトホール内（たとえば、コンタクトホールの底部）にのみ存在する状態で実施されてもよい。

【0015】

第1加熱工程における第1の温度は、たとえば、900℃ないし1000℃とすることができる。これにより、拡散源層からチャネル領域へ、第2導電型への制御のための不純物を良好に拡散させることができる。

請求項2記載の発明は、上記拡散源層形成工程が、上記第2導電型への制御のための不純物がドーピングされたポリシリコン膜（15）を上記コンタクトホール内に形成する工程を含むことを特徴とする請求項1記載の半導体装置の製造方法である。

【0016】

第2導電型への制御のための不純物が適当な濃度でドーピングされたポリシリコン膜は、拡散源層として良好に機能する。

このようなポリシリコン膜は、たとえば、不純物がドーピングされていないポリシ

リコン膜を形成した後、このポリシリコン膜に、第 2 導電型への制御のための不純物を注入して形成できる。ポリシリコン膜の形成、およびポリシリコン膜への不純物の注入は、半導体装置の製造工程において普通に行われる。したがって、このような半導体装置の製造方法は、半導体装置を製造するための通常の設備を用いて容易に実施できる。

【0 0 1 7】

請求項 3 記載の発明は、上記ソース取り出し電極を形成する工程が、上記第 1 加熱工程の後、上記コンタクトホール内に上記ポリシリコン膜が存在する状態で、上記半導体基板の表面に、アルミニウムを含む薄膜（16）を形成する工程と、このアルミニウムを含む薄膜が形成された半導体基板を、アルミニウムに対するシリコンの拡散が生じる第 2 の温度に加熱する第 2 加熱工程とを含むことを特徴とする請求項 2 記載の半導体装置の製造方法である。

【0 0 1 8】

この発明によれば、第 2 加熱工程により、コンタクトホール内に存在するポリシリコン膜中のシリコン原子は、アルミニウムを含む薄膜中に拡散する。また、ポリシリコン膜（拡散源層）からソース取り出し電極へとシリコン原子が拡散する。これにより、アルミニウムを含む薄膜はコンタクトホール中に移動し、コンタクトホール内はアルミニウムを含む薄膜（ソース取り出し電極）で埋められた状態となる。

【0 0 1 9】

したがって、ソース取り出し電極とソース領域とが、コンタクトホール内で良好に電気接続された状態となる。その結果、ソース領域とソース取り出し電極とは、コンタクトホールの内部および外部で接触した状態となるので、ソース領域とソース取り出し電極との接触面積を少なくすることなく、セルの微細化を図ることができる。

ポリシリコン膜（拡散源層）からソース取り出し電極へのシリコン原子の拡散に伴い、ソース取り出し電極は、シリコンを含んだものとなる。

【0 0 2 0】

第 2 加熱工程は、アルミニウムを含む薄膜を形成する工程と同時に実施されて

もよく、アルミニウムを含む薄膜を形成する工程の終了後に実施されてもよい。また、第2加熱工程は、アルミニウムを含む薄膜を形成する工程と同時に実施し、さらに、アルミニウムを含む薄膜を形成する工程の終了後、一定時間加熱を継続するものであってもよい。

第2加熱工程における上記第2の温度は、たとえば、380℃ないし570℃とすることができる。半導体基板を380℃以上に加熱することにより、上述のアルミニウム原子およびシリコン原子の拡散を好適に生じさせ、コンタクトホールに良好にソース取り出し電極を埋め込むことができる。また、半導体基板の加熱温度を570℃以下とすることにより、コンタクトホールに埋め込まれたソース取り出し電極から半導体基板などへのアルミニウム原子の拡散を少なくできる。

【0021】

請求項4記載の発明は、半導体基板(1)上に順に積層された第1導電型のドレイン領域(2)、上記第1導電型とは異なる第2導電型のチャネル領域(5)、および上記第1導電型のソース領域(6)を含み、上記半導体基板の厚さ方向に沿ってチャネルが形成されるように構成された複数のセル(C)と、上記複数のセルの隣接部に形成されたコンタクトホール(4)内に露出し、上記チャネル領域に接するように形成された上記第2導電型の低抵抗領域(10)と、上記ソース領域に接し、上記複数のセルにより共有されるソース取り出し電極(11)とを含み、上記ドレイン領域は、上記複数のセルにより共有されており、上記セルのサイズが2 μ m以下であることを特徴とする半導体装置である。

【0022】

この半導体装置は、請求項1ないし3に記載の半導体装置の製造方法により、はじめて製造可能となり、請求項1ないし3に記載の半導体装置の製造方法と同様の効果を奏することができる。

請求項3記載の半導体装置の製造方法において、第2導電型への制御のための不純物がドーパされたポリシリコン膜(拡散源層)がなくなる前に第2加熱工程を終了することにより、ポリシリコンが、コンタクトホール内に存在する半導体装置が得られる。また、ポリシリコン膜がなくなるまで第2加熱工程を継続する

ことにより、ポリシリコンが、コンタクトホール内に存在しない半導体装置が得られる。

【0023】

この半導体装置のセルサイズは、たとえば、 $1.35\mu\text{m}$ 程度とすることができる。

請求項5記載の発明は、上記低抵抗領域と上記ソース領域とが接していることを特徴とする請求項4記載の半導体装置である。また、請求項6記載の発明は、上記低抵抗領域と上記ドレイン領域とが接していることを特徴とする請求項4または5記載の半導体装置である。

【0024】

以上の発明によれば、ソース取り出し電極とチャネル領域との間の広い領域に渡って低抵抗領域が存在するようにできるので、寄生トランジスタのベース抵抗をより低くすることができる。したがって、逆起電力が印加されたときに、寄生トランジスタが容易にオン状態になる事態を効果的に回避できる。

このような構成の半導体装置は、請求項1ないし3に記載の半導体装置の製造方法において、コンタクトホールの形成深さ、拡散源層の配置、第1の温度、第1加熱工程の継続時間などを制御することにより実現できる。

【0025】

請求項7記載の発明は、上記低抵抗領域と上記ソース取り出し電極とが接していることを特徴とする請求項4ないし6のいずれかに記載の半導体装置である。

この発明によれば、チャネル領域とソース取り出し電極との間の抵抗は低くなるので、寄生トランジスタのベース抵抗を低減し、この寄生トランジスタが容易にオン状態になる事態を効果的に回避できる。

このような構成の半導体装置は、たとえば、請求項3記載の半導体装置の製造方法において、第2の温度や第2加熱工程の継続時間を制御し、アルミニウムを含む薄膜を構成するアルミニウム原子が、コンタクトホール内の低抵抗領域の形成深さまで拡散するようにすることにより得られる。

【0026】

【発明の実施の形態】

以下では、添付図面を参照して、本発明の実施の形態について詳細に説明する。

図1は、本発明の一実施形態に係る製造方法を適用して製造されるMOS FET (Metal Oxide Semiconductor Field Effect Transistor)の構造例を示す図解的な断面図である。

【0027】

導電型がN+型のシリコン (Si) 基板1の表層部には、導電型がN-型のエピタキシャル層2が形成されている。エピタキシャル層2の上には、不純物が拡散されてなる拡散領域30が形成されている。拡散領域30は、下方 (エピタキシャル層2側) に配置され導電型がP-型のチャネル領域5と、チャネル領域5の上に配置され導電型がN+型のソース領域6とを含んでいる。

拡散領域30を貫通して、エピタキシャル層2の厚さ方向途中に至る複数のトレンチ (溝) 17が、図1の断面において、互いにほぼ平行に形成されている。トレンチ17は、シリコン基板1の表面に沿う方向 (図1で、紙面に垂直な方向) に延びている。トレンチ17の内部には、不純物の導入により導電化されたポリシリコンからなるゲート電極8が配置されている。したがって、ゲート電極8は、トレンチ17と同様に、シリコン基板1の表面に沿う方向に延びている。トレンチ17およびゲート電極8は、シリコン基板1の表面に沿って格子状に形成されていてもよい。

【0028】

トレンチ17の内壁に沿って酸化膜9が形成されている。酸化膜9において、チャネル領域5とゲート電極8との間の部分は、ゲート酸化膜9gとして機能するようになっている。ゲート電極8の上には酸化シリコン層7が形成されている。ゲート電極8は、酸化膜9および酸化シリコン層7により、エピタキシャル層2、チャネル領域5、およびソース領域6から電氣的に絶縁されている。ゲート電極8は、図外のシリコン基板1の端部で外部接続されている。

【0029】

隣接したゲート電極8の間には、コンタクトホール4が形成されている。コンタクトホール4は、ソース領域6を貫通しており、N-型のエピタキシャル層2

に達しない深さを有している。すなわち、コンタクトホール 4 の深さは、トレンチ 17 の深さより浅い。コンタクトホール 4 の底部でソース領域 6 よりも深い位置には、導電型が P+型で主としてポリシリコンからなる拡散源層 12 が設けられている。拡散源層 12 には、P 型への制御のための不純物、たとえば、ボロン (B) が高濃度に導入されている。

【0030】

拡散源層 12 から等方的に広がった領域には、コンタクトホール 4 内に露出し導電型が P+型の低抵抗領域 10 が形成されている。低抵抗領域 10 には、拡散源層 12 に導入された不純物と同種の P 型への制御のための不純物、たとえば、ボロンが高濃度に導入されていて、導電率が高く（低抵抗化）されている。低抵抗領域 10 は、チャンネル領域 5、ソース領域 6、およびエピタキシャル層 2 に接しているが、酸化膜 9 や酸化シリコン層 7 には接していない。

【0031】

拡散領域 30 および酸化シリコン層 7 の上には、コンタクトホール 4 を埋めるようにアルミニウム (A1) を主成分とするソース取り出し電極 11 が形成されている。ソース取り出し電極 11 は、少量（たとえば、原子比でアルミニウムに対して 1% 以下）のシリコンを含んでいる。ソース取り出し電極 11 は、コンタクトホール 4 の内部および外部でソース領域 6 に接している。また、ソース取り出し電極 11 は、コンタクトホール 4 の内部で低抵抗領域 10 に接している。

【0032】

シリコン基板 1 には図示しない電極が接続されており、この電極とソース取り出し電極 11 との間に一定の大きさの電圧を印加するとともに、ゲート電極 8 を所定の電位にすることにより、チャンネル領域 5 のうちゲート酸化膜 9 g 近傍にチャンネルが形成され、ソース領域 6 とエピタキシャル層 2 との間に電流（ドレイン電流）を流すことができる。ドレイン電流は、チャンネル領域 5 中でゲート酸化膜 9 g 近傍を、ゲート酸化膜 9 g に沿って流れる。

【0033】

以上のような構造の MOS FET において、エピタキシャル層 2（ドレイン領域）、チャンネル領域 5、およびソース領域 6 を含む多数のセル C が接近して（

密に) 形成されている。コンタクトホール4の幅 $W1$ は、たとえば、 $0.35\mu\text{m}$ であり、ゲート電極8の幅 $W2$ は、たとえば、 $0.5\mu\text{m}$ であり、コンタクトホール4とゲート電極8との間隔 $W3$ は、たとえば、 $0.25\mu\text{m}$ である。したがって、このMOS FETのセルCの幅(隣接した2つのコンタクトホール4の間隔;セルサイズ) $W4$ は、たとえば、 $1.35\mu\text{m}$ である。

【0034】

エピタキシャル層2(ドレイン領域)、チャネル領域5、およびソース領域6が縦方向に(シリコン基板1に垂直な方向)に形成されていることにより、このような超微細化が図られたセルCが実現されている。また、ソース領域6とソース取り出し電極11とが、コンタクトホール4の内部および外部で接触していることにより、ソース領域6とソース取り出し電極11との接触面積を少なくすることなく、セルCが超微細化が達成されている。

【0035】

このように、セルCを小さくするとともにセル同士を接近して配置することにより、単位面積あたりに多くのセルCを形成することができる。これにより、単位面積あたりのチャネル形成領域およびエピタキシャル層2において電流が流れる領域を広くすることができる。したがって、オン抵抗を低減することができる。

一方、エピタキシャル層2をコレクタとし、チャネル領域5および低抵抗領域10をベースとし、ソース領域6をエミッタとする寄生トランジスタTにおいて、導電率がチャネル領域5より大きい低抵抗領域10の存在により、ベース抵抗 R_b が低くなっている。低抵抗領域10は、ソース領域6およびエピタキシャル層2に接するように形成されていることにより、チャネル領域5とソース取り出し電極11との間の広い領域に低抵抗領域10が存在している。また、低抵抗領域10は、チャネル領域5およびソース取り出し電極11に接するように形成されていることにより、チャネル領域5とソース取り出し電極11との間の抵抗が低減されている。これらのことによっても、ベース抵抗 R_b が低くなっている。

【0036】

このMOS FETを含む回路において、このMOS FETをオン状態からオ

フ状態にすると、回路のインダクタンス成分によりこのMOS FETに逆起電力が与えられる。しかし、ベース抵抗 R_b が低いことにより、この寄生トランジスタ T は容易にはオン状態とならない。したがって、チャネル領域5には大電流が流れ難く、アバランシェ破壊は生じにくい。すなわち、このようなMOS FETは、逆起電力に対する破壊耐量が大きい。

【0037】

次に、このようなMOS FETの製造方法について説明する。図2および図3は、図1に示すMOS FETの製造方法を説明するための図解的な断面図である。

先ず、シリコン基板1の表面に導電型がN-型のエピタキシャル層2が形成され、所定のパターンの開口を有するマスクを介した反応性イオンエッチングにより、このエピタキシャル層2にトレンチ17が形成される。この状態が、図2 (a) に示されている。

【0038】

次に、トレンチ17の内壁面を含むエピタキシャル層2の露出表面に犠牲酸化膜が形成された後、この犠牲酸化膜がエッチングにより薄くされる。犠牲酸化膜の残部は、酸化膜19となる。酸化膜19のうち、トレンチ17内部のものは、酸化膜9となる。酸化膜19は、トレンチ17外のエピタキシャル層2表面にも存在している。

続いて、トレンチ17を埋めるように、エピタキシャル層2上の全面に、不純物の導入により導電化されたポリシリコン膜が形成され、エッチバックにより、このポリシリコン膜のうち、トレンチ17外の部分およびトレンチ17内の浅い領域に存在している部分が除去される。ポリシリコン膜の残部は、ゲート電極8となる。この状態が、図2 (b) に示されている。

【0039】

次に、以上の工程を経たエピタキシャル層2の上に酸化シリコンが堆積されて、酸化シリコン膜が形成される。酸化シリコン膜は、トレンチ17内のゲート電極8上にも形成される。その後、エッチバックにより、酸化シリコン膜がトレンチ17内の部分を除いてほぼ除去される。酸化シリコン膜の残部は、酸化シリコ

ン層 7 となる。この際、酸化膜 19 も残るようにされる。

この工程で、直接酸化シリコンを堆積させて酸化シリコン膜を形成する代わりに、TEOS (tetraethylorthosilicate) からなる膜を形成した後、この TEOS からなる膜を熱分解反応などにより、酸化シリコン膜とすることとしてもよい。さらに、酸化シリコン膜の代わりに窒化膜が形成されてもよく、この場合、酸化シリコン層 7 の代わりに、酸化シリコン層 7 と同様の形状を有する窒化シリコン層が得られる。

【0040】

続いて、酸化膜 19 を介してエピタキシャル層 2 の表層部に P 型への制御のための不純物が注入されて、導電型が P-型のチャネル領域 14 が形成される。この状態が、図 2 (c) に示されている。以下、「エピタキシャル層 2」とは、導電型が N-型の部分のみをいうものとする。

さらに、酸化膜 19 を介してチャネル領域 14 の表層部近傍の薄い領域に N 型への制御のための不純物が注入され、シリコン基板 1 がアニールされて、N⁺領域 18 が形成される (図 2 (d) 参照)。

【0041】

次に、所定のパターンの開口を有するマスクを介したエッチングにより、酸化膜 19 において隣接する 2 つのトレンチ 17 の間の所定の領域が除去されて、開口が形成される。続いて、この酸化膜 19 の開口を介して、N⁺領域 18 を貫通しチャネル領域 14 の厚さ方向途中に至るコンタクトホール 4 が形成される。そして、この状態で露出している酸化膜 19 がエッチングにより除去される。

コンタクトホール 4 は、N⁺領域 18 形成後に露出している酸化膜 19 をエッチングによりすべて除去した後、所定のパターンの開口を有するレジスト膜を形成し、このレジスト膜の開口を介したエッチングにより形成してもよい。この場合、コンタクトホール 4 形成後に、レジスト膜は除去される。

【0042】

続いて、CVD (Chemical Vapor Deposition) 法により、コンタクトホール 4 内を埋めるように、P 型への制御のための不純物 (たとえば、ボロン (B)) が高濃度ドーピングされて導電型が P⁺型にされたポリシリコン膜 15 が形成される。

ポリシリコン膜 15 は、N⁺領域 18 や酸化シリコン層 7 の上にも形成される。この状態が、図 3 (e) に示されている。

ポリシリコン膜 15 は、たとえば、不純物がドーピングされていないポリシリコン膜を形成した後、このポリシリコン膜に P 型への制御のための不純物を注入することにより形成してもよい。ポリシリコン膜 15 の形成や、ポリシリコン膜 15 への不純物の注入は、通常の半導体装置の製造設備を用いて容易に実施できる。ポリシリコン膜 15 中の P 型への制御のため不純物濃度は、N⁺領域 18 中の N 型への制御のための不純物濃度より低くされる。

【0043】

さらに、CVD 法により、ポリシリコン膜 15 の上に酸化シリコン膜 20 が形成された後、以上の工程を経たシリコン基板 1 が、900℃ないし 1000℃で所定時間加熱される。これにより、N⁺領域 18 中の N 型への制御のための不純物は、チャネル領域 14 中へと拡散していき、N⁺領域 18 およびその近傍のチャネル領域 14 は、導電型が N⁺型のソース領域 6 となる。

同時に、ポリシリコン膜 15 中の P 型への制御のための不純物は、N⁺領域 18 (ソース領域 6)、チャネル領域 14、およびエピタキシャル層 2 へと拡散する。この際、ポリシリコン膜 15 中の不純物濃度と N⁺領域 18 中の不純物濃度との差により、N⁺領域 18 (ソース領域 6) は N⁺型の導電型が維持される。一方、チャネル領域 14 およびエピタキシャル層 2 へ P 型への制御のための不純物が拡散すると、コンタクトホール 4 内のポリシリコン膜 15 から等方的に広がった導電型が P⁺型の低抵抗領域 10 が形成される。チャネル領域 14 の残部は、低抵抗領域 10 と酸化膜 9 との間に存在するチャネル領域 5 となる。この状態が図 3 (f) に示されている。

【0044】

ポリシリコン膜 15 中の P 型への制御のための不純物は、酸化シリコン膜 20 の存在により、周辺雰囲気中へは飛散しないので、効率的にチャネル領域 14 およびエピタキシャル層 2 へ供給される。酸化シリコン膜 20 の代わりに、窒化珪素からなる膜が形成されてもよく、この場合も、加熱により、P 型への制御のための不純物は、効率的にチャネル領域 14 およびエピタキシャル層 2 へ供給され

る。

【0045】

以上のように、ポリシリコン膜15は、P型への制御のための不純物を、チャネル領域14やエピタキシャル層2に拡散させるための拡散源層として機能する。

次に、酸化シリコン膜20がエッチングにより除去され、ポリシリコン膜15が、エッチバックによりコンタクトホール4内の部分を残して除去される。続いて、以上の工程を経たシリコン基板1においてコンタクトホール4が形成された面のほぼ全面に、スパッタ法により、アルミニウム原子が堆積されてアルミニウム薄膜16が形成される(図3(g)参照)。

【0046】

その後、シリコン基板1が加熱される。加熱温度は、380℃ないし570℃とされる。このような温度では、アルミニウム薄膜16を構成するアルミニウム原子が、コンタクトホール4内のポリシリコン膜15中に拡散するとともに、コンタクトホール4内のポリシリコン膜15を構成するシリコン原子が、アルミニウム薄膜16中に拡散する。すなわち、アルミニウム薄膜16は、ポリシリコン膜15と置換するようにコンタクトホール4内に移動して、ソース取り出し電極11となる。これにより、幅や径に対して深さが大きい(アスペクト比が大きい)コンタクトホール4内にも、ボイドを生ずることなく良好にソース取り出し電極11を埋め込むことができる。

【0047】

また、シリコン基板1を上記の温度で加熱することにより、アルミニウム薄膜16を構成するアルミニウム原子は、低抵抗領域10、ソース領域6、チャネル領域5、およびエピタキシャル層2へ拡散しにくい。したがって、素子を構成するエピタキシャル層2、チャネル領域5、およびソース領域6にアルミニウム原子が拡散して、PN接合が破壊されることもない。

シリコン基板1の加熱は、アルミニウム薄膜16が低抵抗領域10に接した後、ポリシリコン膜15を構成するシリコン原子の拡散により、コンタクトホール4内のポリシリコン膜15がなくなる前に終了される。これにより、図1に示す

ように、ポリシリコン膜 15 の残部が拡散源層 12 となってコンタクトホール 4 の底部に残った MOS FET が得られる。

【0048】

以上の製造方法において、ポリシリコン膜 15 の形成後、ポリシリコン膜 15 をコンタクトホール 4 内の底部に存在する部分を残して除去した後、シリコン基板 1 を加熱して、低抵抗領域 10 を形成してもよい。

図 4 は、図 1 に示す MOS FET の他の製造方法を説明するための図解的な断面図である。

ポリシリコン膜 15 の形成工程（図 3（e）参照）までが、上記の製造方法と同様に実施された後、ポリシリコン膜 15 がエッチバックされて、コンタクトホール 4 の底部にのみ存在するようにされる。この状態で、ポリシリコン膜 15 と N⁺領域 18 とは接触しないようにされる。ポリシリコン膜 15 の残部は、拡散源層 12 となる（図 4（h）参照）。

【0049】

次に、以上の工程を経たシリコン基板 1 が 900℃ないし 1000℃で所定時間加熱される。これにより、拡散源層 12 からチャネル領域 14 へ、P 型への制御のための不純物が拡散し、拡散源層 12 から等方的に広がった領域に、低抵抗領域 10 が形成される。また、N⁺領域 18 からチャネル領域 14 へ、P 型への制御のための不純物が拡散してソース領域 6 が形成される。この状態が、図 4（i）に示されている。

【0050】

この際、拡散源層 12 とソース領域 12 とが接触していないことにより、拡散源層 12 から N⁺領域 18（ソース領域 6）へ拡散する P 型への制御のための不純物の量を少なくすることができる。これにより、導電型が N⁺型のソース領域 6 を容易に形成できる。

このようにして低抵抗領域 10 が形成されたシリコン基板 1 のほぼ全面に、スパッタ法により、アルミニウム原子が堆積されてアルミニウム薄膜 16 が形成される。この際、シリコン基板 1 は加熱される。加熱温度は、380℃ないし 570℃とされる。

【0051】

スパッタ法によりシリコン基板 1 上に供給されたアルミニウム原子は、コンタクトホール 4 の内部には到達しにくいので、成膜の初期には、アルミニウム原子は主にコンタクトホール 4 の外部に堆積してアルミニウム薄膜 16 を形成する。さらにアルミニウム原子が供給されると、アルミニウム薄膜 16 がコンタクトホール 4 内の拡散源層 12 に接するように成長する。これにより、アルミニウム原子の拡散源層 12 への拡散が生じて、コンタクトホール 4 外に形成されたアルミニウム薄膜 16 の一部は、コンタクトホール 4 内に流れ込むように移動する。

【0052】

また、拡散源層 12 を構成するシリコン原子も、アルミニウム薄膜 16 中へと拡散する。このようにして、コンタクトホール 4 は次第にアルミニウム薄膜 16 で埋められていき（図 4（j）参照）、成膜終了時にはコンタクトホール 4 は、アルミニウム薄膜 16 により完全に埋められる。シリコン基板 1 へのアルミニウム原子の供給を停止した後、適当な時間シリコン基板 1 の加熱を継続することとしてもよい。

【0053】

このようにして、図 1 に示すように、ボイド（空隙）のない良好なソース取り出し電極 11 が得られる。

この発明の一実施形態の説明は、以上の通りであるが、この発明は他の形態でも実施することもできる。たとえば、上記の実施形態では、低抵抗領域 10 は、ソース領域 6 やエピタキシャル層 2 に接触するように形成されており、チャネル領域 5 とソース取り出し電極 11 との間の広い領域に存在している。しかし、低抵抗領域 10 は、ソース領域 6、エピタキシャル層 2、およびソース取り出し電極 11 のいずれかまたはすべてに接触しないように形成されていてもよい。この場合でも、低抵抗領域 10 が存在しない場合と比べて、寄生トランジスタ T のベース抵抗 R_b （図 1 参照）を低減することができ、逆起電力に対する破壊耐量を大きくすることができる。このような構成の MOS FET は、コンタクトホール 4 の形成深さ、拡散源層 12 の配置や、拡散源層 12 からチャネル領域 14 へ P 型への制御のための不純物を拡散させるための加熱温度および加熱時間などを

制御することにより実現できる。

【0054】

上記の実施形態では、シリコン原子の拡散によりポリシリコン膜15（拡散源層12）がなくなる前に、シリコン基板1の加熱が終了されているが、拡散源層12がなくなるまで、シリコン基板1の加熱を続けることとしてもよい。この場合、コンタクトホール4内に拡散源層12が存在しないMOS FETが得られる。

この発明に係る半導体装置は、図1に示すMOS FETのようにセルサイズW4が1.35 μ m程度の小さな半導体装置に限られず、よりセルサイズW4が大きい半導体装置であってもよい。

【0055】

この発明に係る半導体装置は、DMOS (Double Diffused MOS) や、MOS FET以外の半導体装置、たとえば、IGBT (Insulated Gate Bipolar Transistor) であってもよい。

その他、特許請求の範囲に記載された事項の範囲で種々の変更を施すことが可能である。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るMOS FETの構造を示す図解的な断面図である。

【図2】

図1に示すMOS FETの製造方法を説明するための図解的な断面図である。

【図3】

図1に示すMOS FETの製造方法を説明するための図解的な断面図である。

【図4】

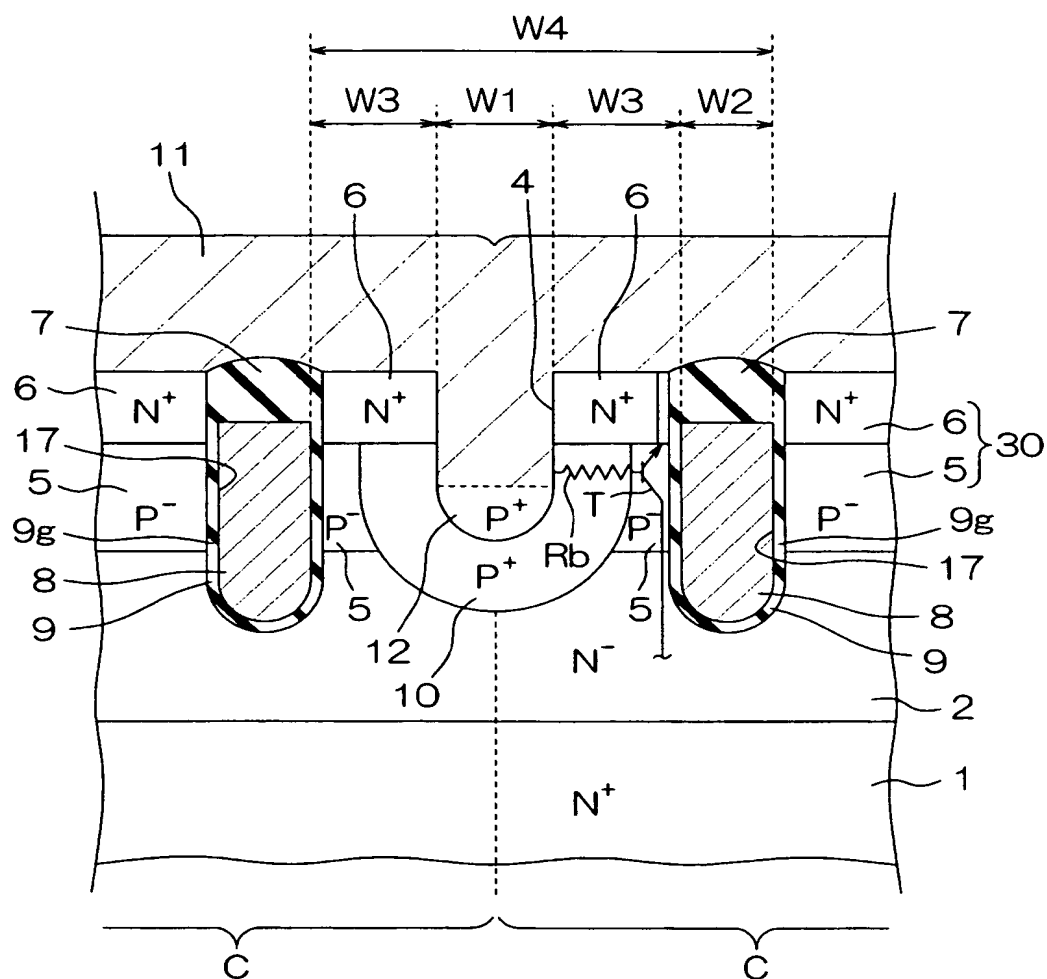
図1に示すMOS FETの他の製造方法を説明するための図解的な断面図である。

【符号の説明】

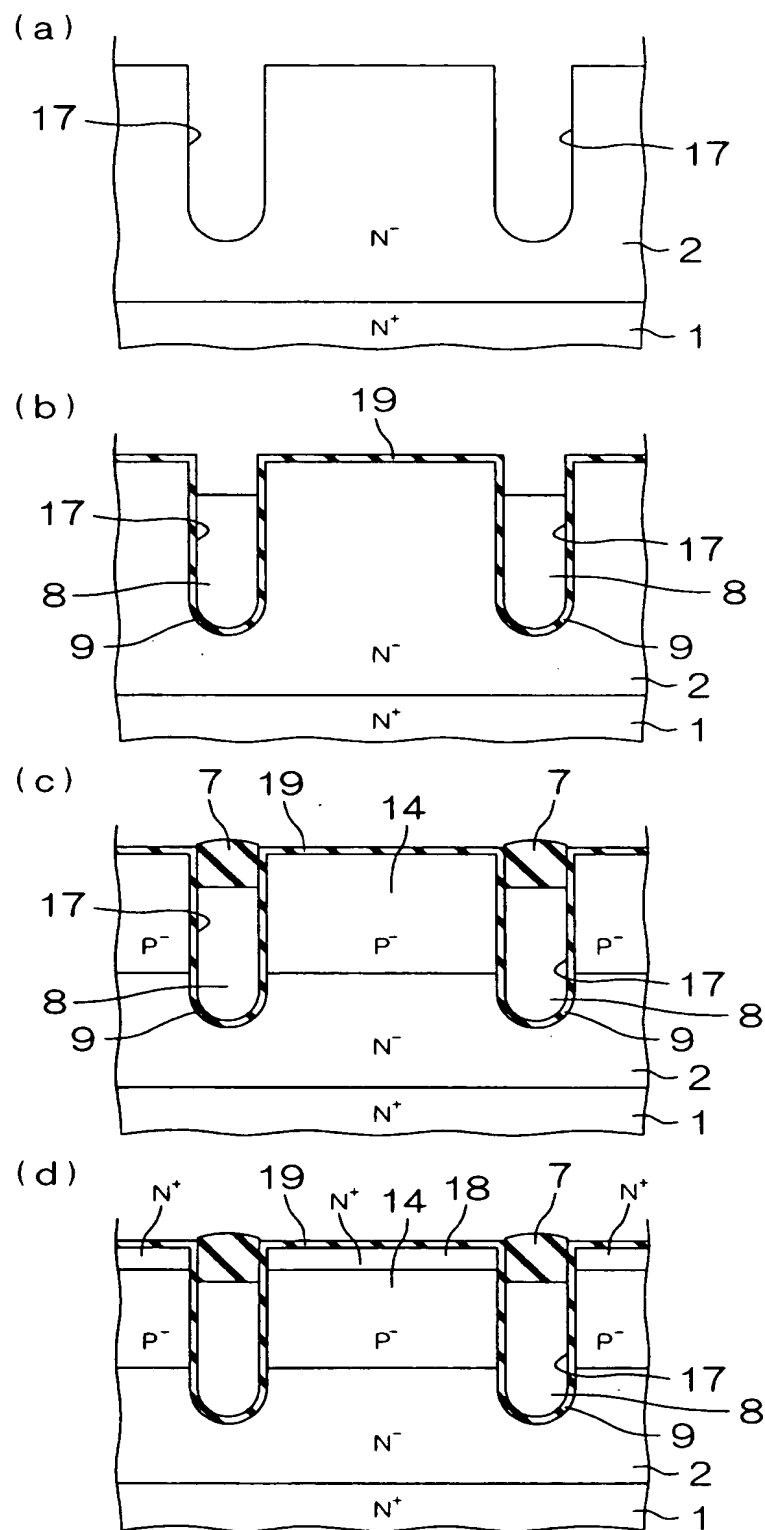
- 1 シリコン基板
- 2 エピタキシャル層
- 4 コンタクトホール
- 5 チャネル領域
- 6 ソース領域
- 1 0 低抵抗領域
- 1 1 ソース取り出し電極
- 1 2 拡散源層
- 1 5 ポリシリコン膜
- 1 6 アルミニウム薄膜
- 1 7 トレンチ

【書類名】 図面

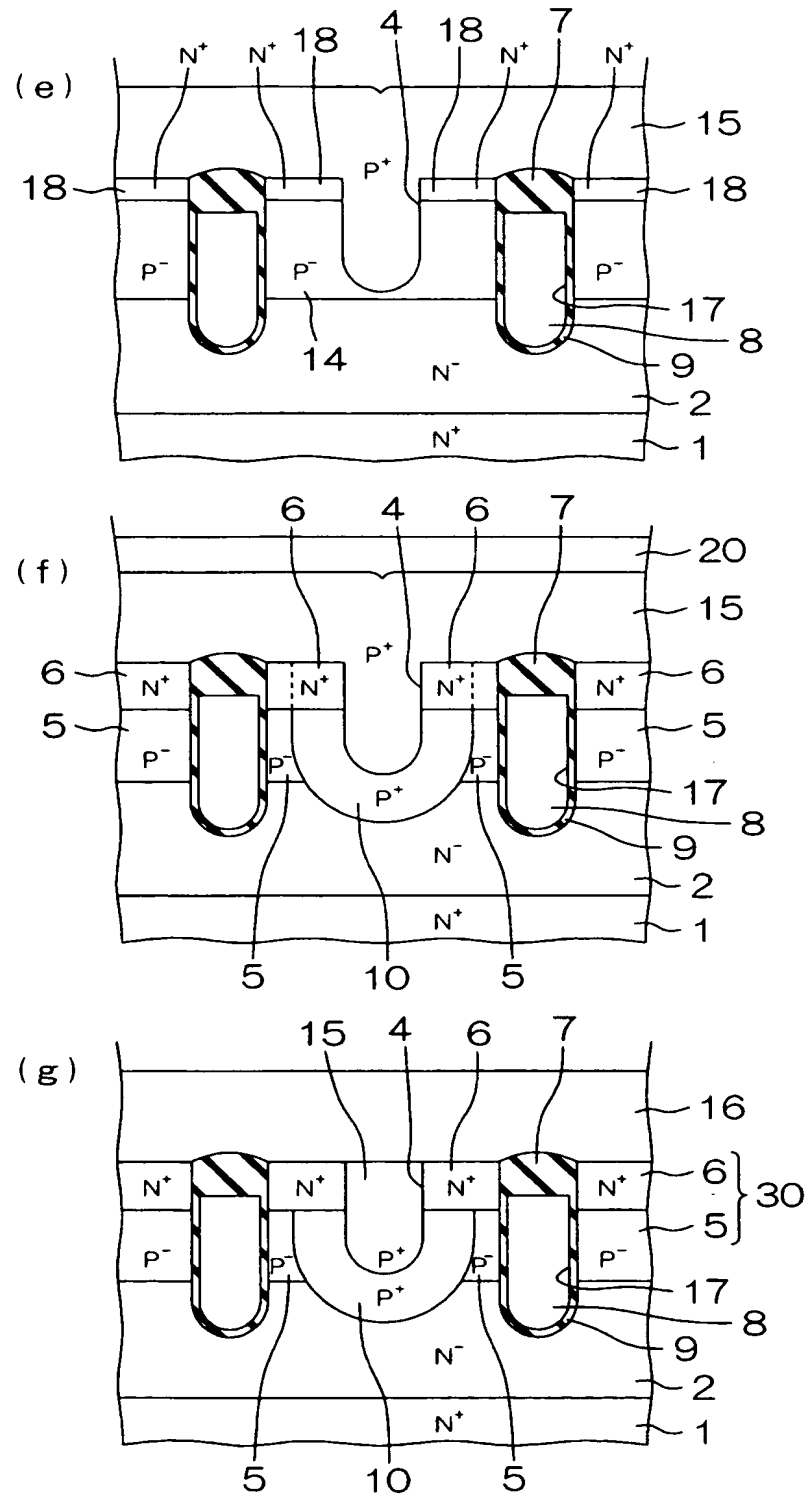
【図 1】



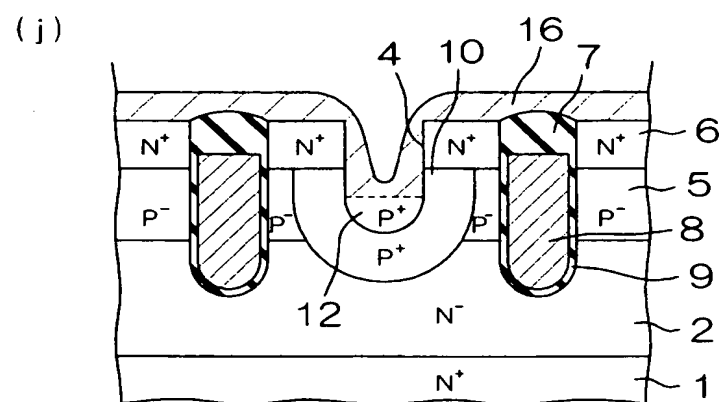
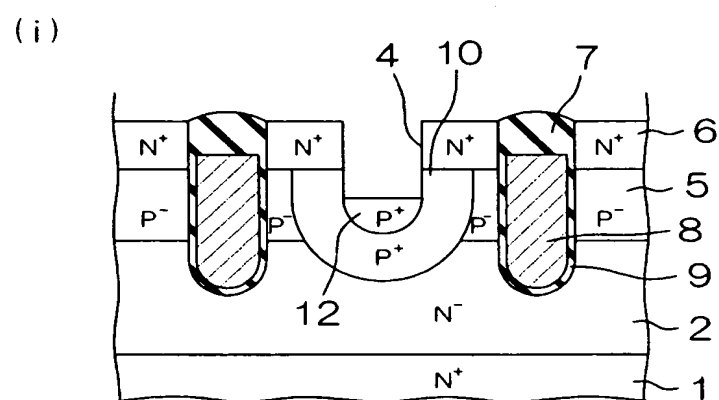
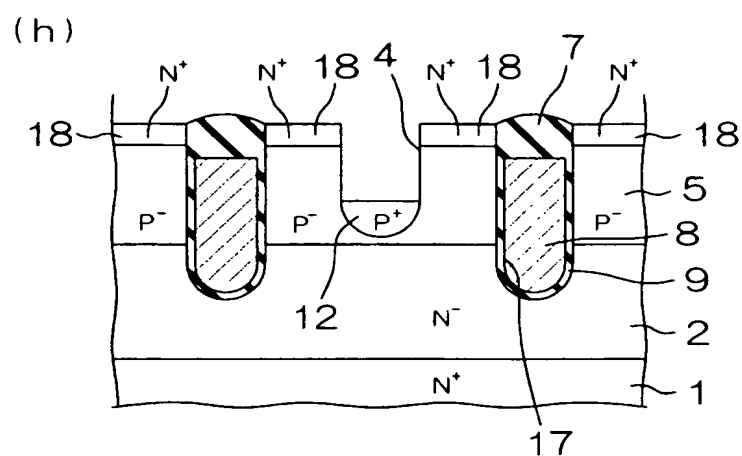
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 オン抵抗が小さく、逆起電力に対する破壊耐量が大きな半導体装置の製造方法を提供する。

【解決手段】 表面に導電型がN-型のエピタキシャル層 2 が形成されたシリコン基板 1 上に、導電型がP-型のチャネル領域 1 4 および導電型がN+型のN+領域 1 8 が積層された状態とされる。次に、N+領域 1 8 を貫通してチャネル領域 1 4 の厚さ方向途中に至るコンタクトホール 4 が形成される。続いて、このコンタクトホール 4 を埋めるように、P型への制御のための不純物が高濃度に導入されたポリシリコン膜 1 5 が形成される（図 3（e）参照）。次に、以上の工程を経たシリコン基板 1 が、9 0 0℃ないし 1 0 0 0℃に加熱される（図 3（f）参照）。

【選択図】 図 3

特願 2 0 0 3 - 0 9 5 3 8 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社